

2002.10.23

(株)デンソー
技術管理部

IEICE

電子情報通信学会技術研究報告

IEICE Technical Report

SDM2002-179~187

[シリコン・材料デバイス]

2002 年 10 月 1 日



社団
法人

電子情報通信学会

<http://www.ieice.org/>



電子情報通信学会技術研究報告目次

CONTENTS

[シリコン材料・デバイス]

[Silicon Devices and Materials]

— 特集：プロセス・デバイス・回路シミュレーション及び一般 —

- (1) SDM2002 - 179
SPICE を使用した高精度クロストーク解析システム 1
大嶋孝幸・藤田陽子・養田幸男・斎藤敏幸 (NEC エレクトロニクスデバイス),
坂本明広・三角和子 (NEC マイクロシステム)
- (2) SDM2002 - 180
汎用 PC クラスタを用いた並列回路シミュレーションシステム 7
桑田公彦・蜂屋孝太郎・斎藤敏幸・中田登志之・立川江介 (NEC),
杉谷直樹 (NEC 情報システムズ)
- (3) SDM2002 - 181
Y パラメータを用いた MOSFET 高周波特性記述の検討 13
上野弘明・神保 聡・河野博昭・森川慶一・中山範明・三浦道子・
マクウシュ ハンス・ユルゲン (広島大)
- (4) SDM2002 - 182
MOSFET マッチング特性の統計的評価とモデル化の検討 19
清水由幸・中村光男・松岡俊匡・谷口研二 (阪大)
- (5) SDM2002 - 183
ESD 保護素子の等価回路モデルの検討 25
安西浩美・戸坂義春・鈴木邦広・岡 秀樹 (富士通研)
- (6) SDM2002 - 184
車載用 IC の ESD サージシミュレーション 31
— 入出力保護ダイオードの ESD サージ耐量 —
河野憲司・阿部龍一郎・浅井昭喜・樋口安史 (デンソー)
- (7) SDM2002 - 185
シリサイドブロックとコンタクト抵抗が ESD 保護素子の発熱に与える影響 37
松沢一也・松橋豊明・川島博文 (東芝)
- (8) SDM2002 - 186
遺伝的アルゴリズムを用いた多目的最適化の検討 43
和田哲典 (東芝)
- (9) SDM2002 - 187
遺伝的アルゴリズムを用いた、パラメータ抽出におけるグルーピング 49
— BSIM3v3 のモデルパラメータ抽出 —
佐藤修平・寺田和夫・寺内 衛 (広島市立大)

● VLSI 設計技術研究会, 応用物理学会; シリコンテクノロジー分科会モデリング研究会
共催

Note: The articles in this publication have been printed without
reviewing and editing as received from the authors.

車載用 IC の ESD サージシミュレーション —入出力保護ダイオードの ESD サージ耐量—

河野 憲司 阿部 龍一郎 浅井 昭喜 樋口 安史

(株)デンソー デバイス開発室 〒444-0193 愛知県額田郡 幸田町芦屋丸山5

E-mail: KENJI_KONO@denso.co.jp

あらまし 車載用 IC の入出力端子は、自動車という特殊な使用環境から ESD、L 負荷、IG パルスはじめ各種サージに晒される。このため車載用 IC にとってサージ耐量は重要な設計項目となっている。中でも 150 Ω 、150pF (以下 ECU モデルという)、25kV の ESD 試験は条件が厳しく、これまではキャパシタ、パワー ZD などの IC 外付けの保護素子が必要であった。しかし、電子制御ユニット (ECU) のサイズ、コスト低減には IC 単独でのサージ耐量確保が必須である。そこで、寄生トランジスタを持たず入出力保護に適したダイオードの耐量解析を ESD の熱過渡シミュレーションで行った。その結果、ダイオードの ESD 耐量はホットスポットの格子温度で決まることが新たに判明した。そして、格子温度のダイオードサイズ、拡散層、エッジ構造に対する依存性をそれぞれシミュレーションすることで、IC 内蔵に最適な ESD25kV 保証の保護ダイオードを実現した。

キーワード IC、ESD、ECU、ダイオード、熱過渡シミュレーション

ESD surge simulation of IC for automobile —ESD surge robustness of IC protection diode—

Kenji KONO Ryuichiro ABE Akiyoshi ASAI and Yasushi HIGUCHI

Electronics Device R&D Center DENSO CORPORATION, Aichi-ken, 444-0193 Japan.

E-mail: KENJI_KONO@denso.co.jp

Abstract The input-and-output terminal of IC for automobile is exposed to various surges, that is ESD (Electrostatic discharge), L (Inductive)-load surge, and IG (Ignition) pulse surge. Especially, the ESD test of 150 Ω , 150pF (hereafter, it's designated as ECU model), 25kV is so severe condition that IC external protection devices, such as Capacitor and power ZD were required. However, in order to reduce the size and cost of ECU (Electronic control Unites), it is indispensable to satisfy the tough ESD condition of 25kV without external protection devices. Then, the ESD analysis of the diode that is suitable for a protection since having no parasitic transistor was performed by the electro-thermal simulation. Consequently, it has been newly cleared that ESD robustness of a diode depends on the lattice temperature of a hot spot. And the optimal built-in protection diode that is proof against 25kV ESD has been realized by the simulation of the dependence of the diode size, diffusion layers, and edge structure, on lattice temperature, respectively.

Keyword IC、ESD、ECU、diode、electro-thermal simulation

1. はじめに

自動車の電子制御ユニット (ECU) には、エンジン、車両制御のために各種センサーからの入力信号を増幅、処理する機能や、マイコンの出力信号をもとにパワー素子を使ってモータ、リレーなどを駆動する機能が要求される。そのため ECU には、電源 IC、入出力バッファ、マイコン、パワー素子などの半導体部品が実装されるが、燃費、排ガス規制に対応する電子燃料噴射システム (EFI)、車両の安全性を高めるアンチロックブレーキ (ABS)、エアバッグシステムなどカーエレクトロニクスの進展によりその重要性は近年益々増えている。

一方、自動車という特殊な使用環境で使われる半導体

製品を家電など民生用と比較してみると、例えば静電気試験の場合、民生用であれば、100pF、1.5k Ω の人体モデル (HBM) で 4kV、また 200pF、0 Ω のマシンモデル (MM) では 300V 程度の仕様 [1] であるのに対して、150pF、150 Ω の自動車 ECU モデルでは最大 25kV もの耐量が要求される。

これは本来 ECU の試験仕様であり、これまで一部の特殊な出力素子を除けば [2]、IC 単独で満足させることができないため一般にサージをバイパスさせるキャパシタ、パワー ZD など IC 外付けの保護素子が必要であった。

そこで部品点数を減らし ECU の小型、低コスト化を図るには、これまでのように電源、入出力バッファなど周辺 IC と

負荷を駆動するパワー素子などを1チップに統合する所謂、複合 IC 化(図1参照)することは勿論[3]、入出力端子のESD 保護素子を内蔵させることが必要である。

ESD 保護素子としては、破壊要因となる二次降伏を起こさないダイオードが最もシンプルである。本研究では、なるべくホトマスクを共用し、製造コストの低減を図るという観点から、複合 IC プロセスを使って作製できる Deep n+/base 間、base/emt.間、ch.pwell/n+間の三種類のダイオードを取り上げ、2D、3D 構造モデルでの ESD サージシミュレーションを行い、ESD サージ破壊のメカニズムを明らかにし、ESD25kV保証の IC 内蔵に最も適した構造を提案する。

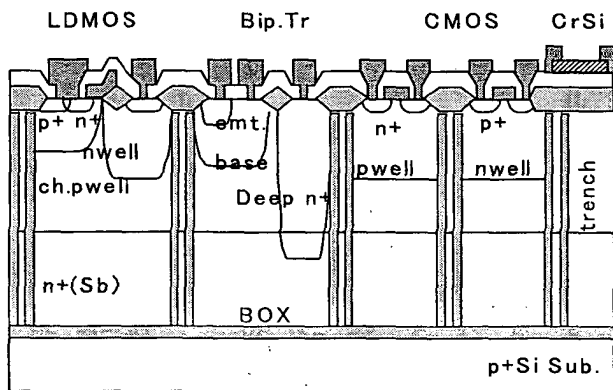


図1 車載用複合ICの断面構造図

2. ダイオードのシミュレーションモデル

写真1は約 10kV の ESD サージ印加によって破壊した入出力保護ダイオード TEG(Test element group)の Al 配線剥離後の表面写真である。ダイオードは、複合 IC のバイポーラ素子に使用されるベース、エミッタ拡散層を 2 μ m オーバラップさせストライプ状に 9 μ m 周期で配置したものであり、耐圧は約 8.5V、base/emt.の対向長は 0.32E4 μ m、サイズは約 200 μ m \square である。厚さ 0.45 μ m、0.9 μ m の 2 層 Al 配線を使ってアノード、カソードを PAD に接続している。

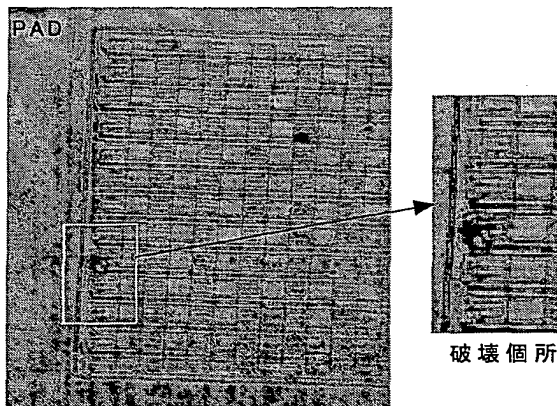


写真1 ESD で破壊した入出力保護ダイオード

写真1によれば、ダイオードのエッジ付近に破壊痕があることからシミュレーションを使って破壊メカニズムの解明を行うには、ダイオードのエッジまでを考慮した3Dモデルが必要であると考えられる。図2はダイオードのレイアウトデータをもとに作製した 3D モデルである。このモデルでは、計算効率を上げるため構造の周期性を考慮してストライプの一部のみをモデル化、さらにメッシュ数は 3000 程度にしている。エリアファクタ(個数)は 80 ケと実際のサンプルと同じサイズになるよう設定した。

シミュレーションで印加する ESD サージは、実際の試験どおり 150pF のキャパシタを所定の電圧まで充電させ、ESD 試験機の抵抗 150 Ω と空中放電を想定したエアギャップ抵抗 150 Ω 、さらにリード線の寄生インダクタンス 1 μ Hを通してダイオードのカソード(emt.層)に放電させる。アノード(base層)は GND 固定である。なお使用したシミュレータは、ISE 社の TCAD V7.0、計算機は、COMPAQ の α サーバである。

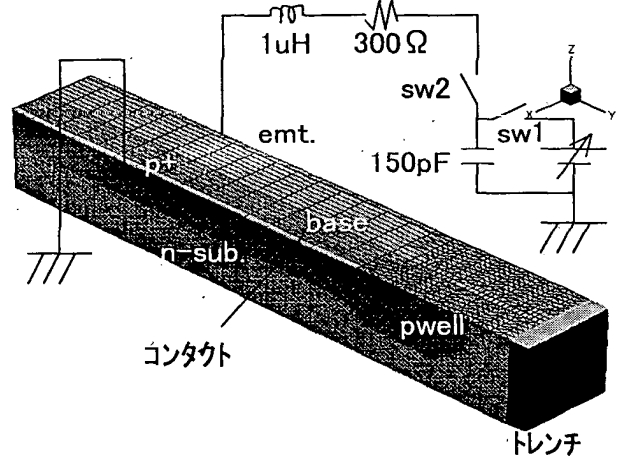


図2 入出力保護ダイオードのシミュレーションモデル

3. ダイオードの ESD シミュレーション結果

図3に実際の試験で破壊した電圧 10kV を印加した場合のカソード電圧、カソード電流、最高格子温度の時間応答波形を示す。サージ印加後約 10ns でカソードの電流はピーク値約 30A を迎え、その後減少に転じおよそ 100ns ほどで数 A 程度まで減少する。一方、カソード電圧波形は、pn 接合充電後、約 20V でブレークを開始、その後電流、素子温度の上昇とともに増加し、約 40ns で最大電圧 55V に到達後、減少に転じて 50ns 付近で急激に電圧が低下する。さらにデバイス内の最高格子温度は、サージ印加後時間にほぼ比例して上昇、約 40ns で最初のピーク 1500K に到達する、そしてカソード電圧が急激に低下する約 50ns 付近で再度急激に上昇、一気に Si の融点(1693K)を突破、計算上約 1800K に到達、その後時間とともに緩やかに減少していく。

カソード電圧、電流が減少する過程で逆に最高格子温

度が急激に上昇するという奇妙な現象を詳しく解析するためにデバイスの電流密度分布を図4に、同じく格子温度分布の時間変化を図5に示す。

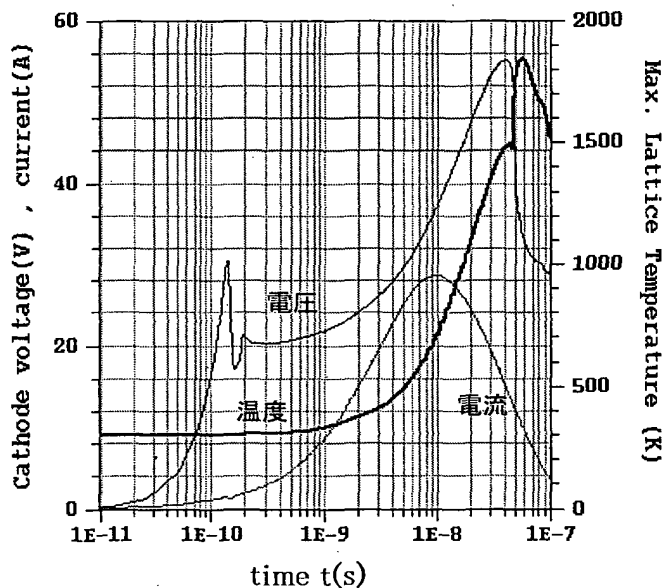


図3 ダイオードのESD サージ応答波形

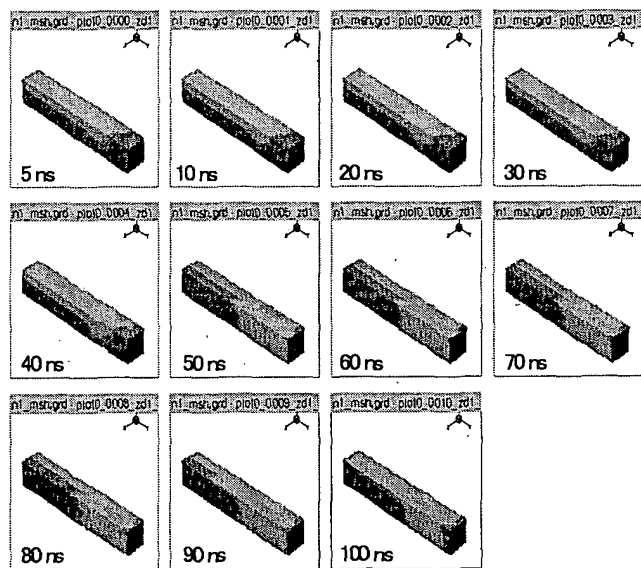


図4 ダイオードの電流密度分布の時間変化

図4の電流密度分布の時間変化を見ると時刻がおおよそ20nsまでは、電流が素子内部でほぼ均等に流れている。しかし、30ns以降からエッジ付近の電流密度が上がり、最高格子温度が急激に上昇する50ns以降では完全にエッジに電流が集中している。

図5の格子温度分布をみても判るように20nsまでは、素子

内部の温度分布はベース、エミッタ層が対向する場所全体がほぼ均等に上昇しているが、20ns以降からアノード(ベース層)のコンタクトエッジ付近にホットスポットが発生、時間と共にスポットサイズが拡大、さらに温度も高くなり、50ns以降ではスポットが素子内部で最高温度を示し、実験(写真1)と同様にダイオードエッジでの電流集中によるSi溶融破壊現象[4]が再現できた。

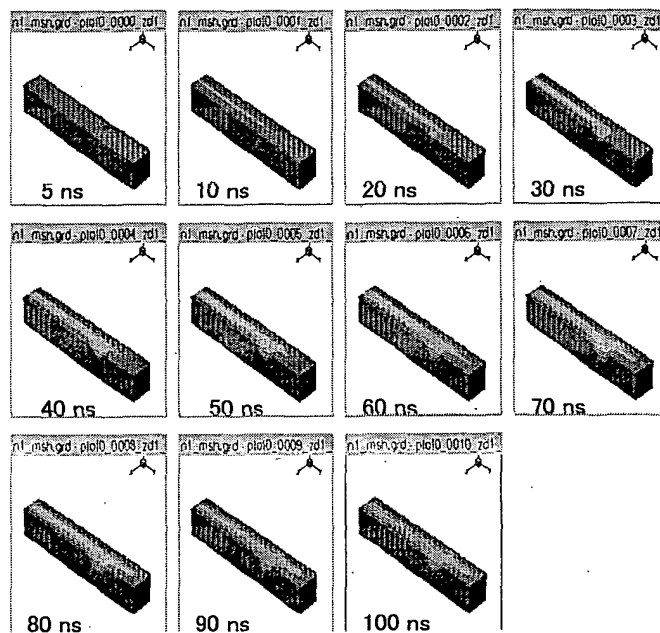


図5 ダイオードの格子温度分布の時間変化

4. ダイオードのESD サージ破壊メカニズムの考察

寄生トランジスタを持たないシンプルなダイオードは、電圧降下を伴う二次降伏が無い(理由1)、局所的に温度が上昇してもアバランシェブレーク電圧が増加する(理由2)ため電流集中による熱的な破壊は起き難い、つまりESDなどサージに対して一般に強いとされるが、現実には写真1に示すような局所的なサージ破壊が起きる。

この現象を再現した先のシミュレーション結果によれば、素子の内部温度が、Siの融点より十分に低いときは、電流分布、格子温度分布は均一で、素子全体でサージ電流を流している様子が確認できるが、これは温度上昇が電流にブレーキをかける先の理由2によるものと考えられる。

しかし、電流の増加に伴い格子温度がさらに上昇し、構造的に電界の高い拡散層のエッジなど、格子温度がSiの融点に達するようなホットスポットが発生するとその場所の真性キャリア密度が $1E19cm^{-3}$ 以上[5]とドーピング濃度(ベース層の表面濃度は約 $1E18cm^{-3}$ 、エミッタ層の表面濃度約 $1E20cm^{-3}$)と同程度かそれ以上になってしまう。こうして熱的に形成された低抵抗なホットスポットが局所的な電流パスを形成することで

するという正帰還作用により写真1のような局所的なサージ破壊が起きたと考えられる。

1. 入出力保護ダイオードの構造検討

入出力保護ダイオードの構造検討を行う。車載用 IC に要求される条件、ESD25kV@空中放電を満足するには、25kV のサージ電流(ピーク値、約 80A)を流しても格子温度が Si の融点以下であることが必要条件となる。そのためには、終端構造を議論する以前にまずダイオードの最小サイズ、言い換えればアノード、カソードの対向長を検討する必要がある。なぜなら、たとえ均一に電流が流れた場合でも、対向長によってダイオードの動作抵抗、ひいては動作電圧が決まるため温度上昇を Si の融点以下に抑えるためにはそれ相当のサイズが必要になるからである。

図1に示した複合 IC の断面構造において、電源バッテリー電圧 16V 以上の耐圧が出せ、なおかつ濃度が濃く、動作抵抗が低いと考えられる拡散層の組み合わせとして、1. Deep n+/base、2. Base/emt.、3. Ch.pwell/n+の三つのダイオードを考えた。そこで、この3種類のダイオードを2Dのストライプモデルで表し、奥行き(サイズ)と格子温度との相関関係をシミュレーションで計算した。図6に計算モデルである3種類のダイオードの断面構造を示す。なおダイオードの耐圧はみなほぼ 20Vとなるよう拡散層の間隔をそれぞれ調整している。

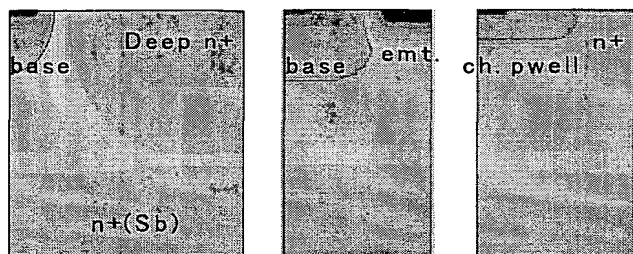


図6 3種類の入出力保護ダイオード(断面構造)

2. ダイオードのシミュレーション結果

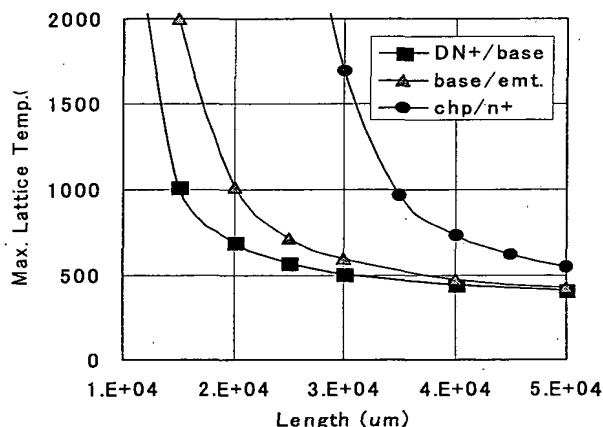


図7 ダイオードの長さで格子温度との関係

図7にシミュレーションの結果を示す。シミュレーションは、300Ω(空中放電を考慮)、150pF、25kV の条件である。図7によれば、ダイオードの長さを伸ばせば格子温度は低下する。例えば、Deep n+/base のダイオードでは、長さがおおよそ 1.3E4um 以上であれば格子温度は、Si の融点以下になる。同じく Base/emt.ダイオードであれば 1.6E4um 以上、Ch.pwell/n+ダイオードでも 3.0E4um あれば Si 融点以下になる。ダイオードの面積では、それぞれ横幅を考慮して、Deep n+/base で 0.19mm²、Base/emt. で 0.14mm²、Ch.pwell/n+ダイオードで 0.27mm² となる。従って、最小面積となる Base/emt.ダイオードが三つの中では最も効率的と判断される。

これら三つのダイオードの耐圧はほぼ同じでありながら、なぜこうのように格子温度が構造によって変化するのかわかる点について次に考察する。

3. シミュレーションによる解析と考察

図8に長さが 3E4um の場合での各ダイオードのカソード電圧、最高格子温度の時間応答波形を示す。

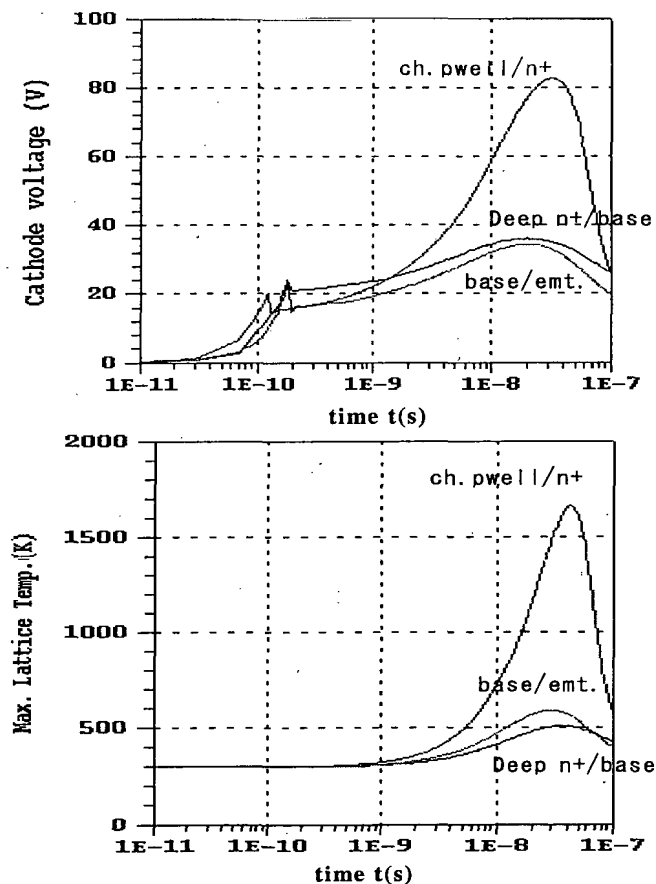


図8 ダイオードのカソード電圧、最高格子温度

図8が示すように、サージ印加直後(t=1ns)では、いずれのダイオードもカソード電圧は約 20Vで大差が無く、温度上昇

もほとんど見られない。しかし、ESD サージの電流がピークに達する時間 $t=10\text{ns}$ 付近では、ダイオードによってカソード電圧、格子温度に違いが出てくる。拡散深さの一番浅い組み合わせとなる ch.pwell/n+ ダイオードでは、カソード電圧が 60V に到達するのに対して、拡散層が深い Deep n+/base などでは約 30V とおよそ半分程度である。

この違いをさらに詳しく解析するため格子温度分布と電流密度分布を調べてみる。図9、10に格子温度分布、電流密度分布を示す。なお時間は、格子温度がほぼ最大となる $t=30\text{ns}$ である。

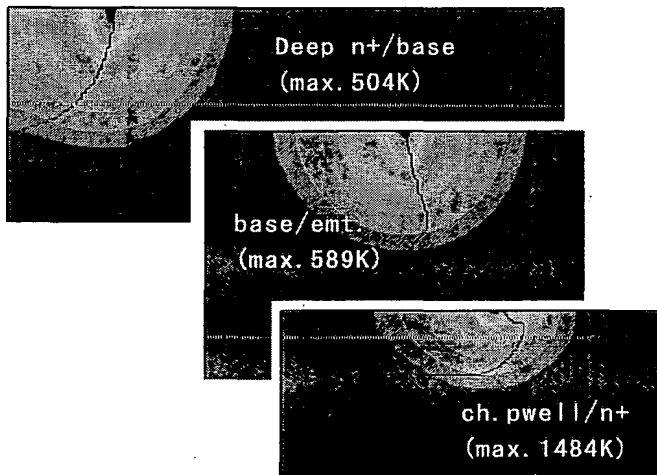


図9 格子温度分布(スケールは素子毎に異なる)

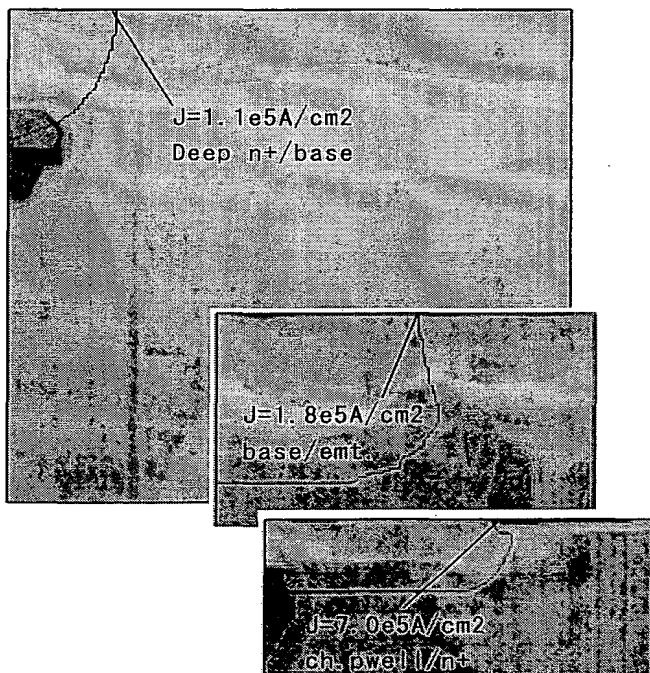


図10 電流密度分布(スケールは素子毎に異なる)

図10に示されるように、電流分布には素子ごとに大きな違

いがある。すなわち拡散深さがそれぞれ $1.6\mu\text{m}$ 、 $0.25\mu\text{m}$ と浅い ch.pwell/n+ を組み合わせたダイオードでは、電流が表面近傍に集中し、pn 接合部の電流密度が $7\text{E}5\text{A/cm}^2$ になる。格子温度の深さ方向分布も浅く表面から約 $0.6\mu\text{m}$ で温度が半減する。一方拡散深さが $12\mu\text{m}$ 、 $3\mu\text{m}$ と深い Deep n+/base の場合には、電流は基板の内部まで広がり、電流密度は $1.1\text{E}5\text{A/cm}^2$ と ch.pwell/n+ のおよそ一割に低減し、温度分布も同じく半値幅で $1.9\mu\text{m}$ 程度と ch.pwell/n+ に比べて3倍以上広がっている。拡散深さが $3\mu\text{m}$ 、 $2\mu\text{m}$ の base/emt. の場合には、温度、電流分布もその中間となり温度の半値幅は、 $1.2\mu\text{m}$ 、電流密度は $1.8\text{E}5\text{A/cm}^2$ ほどである。このように拡散深さが浅く、電流密度分布が表面付近に偏る ch.pwell/n+ のダイオードでは、発熱部の体積が小さく熱容量も小さいため、「温度上昇→抵抗増加→発熱量増」という正帰還作用が特に強く働くので急激に温度が上昇するものと考えられる。図10に示すように、電流密度の深さ分布は、拡散深さの浅い方で律速されるため電流密度を下げ温度上昇を抑えるには、 base/emt. のようにほぼ同程度の拡散深さをもつ組み合わせが最も効率的である。

4. ダイオードの終端構造の検討

次にダイオードの終端構造について検討する。3.で述べたように3Dシミュレーションの結果によればアノードのコンタクトエッジ付近にホットスポットが発生、電流集中(破壊)が起きた。このモデルではDC耐圧でのブレイク個所は、 base 拡散層のエッジであり、同時にアノードコンタクトエッジ近傍でもある。そこで、コンタクトエッジでのホットスポット発生を抑制するために、コンタクトを base 拡散層エッジから $20\mu\text{m}$ ほど後退させた(コンタクト幅も $1\mu\text{m}$ から $2.4\mu\text{m}$ に拡大)。そのシミュレーション結果を図11に示す。

図中(a),(b),(c)は、コンタクトを下地の base 拡散層エッジまで付けた場合のDCブレイク時の電流密度分布、ESDサージ印加後 60ns の電流密度分布と温度分布を表し、(d),(e),(f)は同じくコンタクトを $20\mu\text{m}$ 後退させた場合の計算結果である。

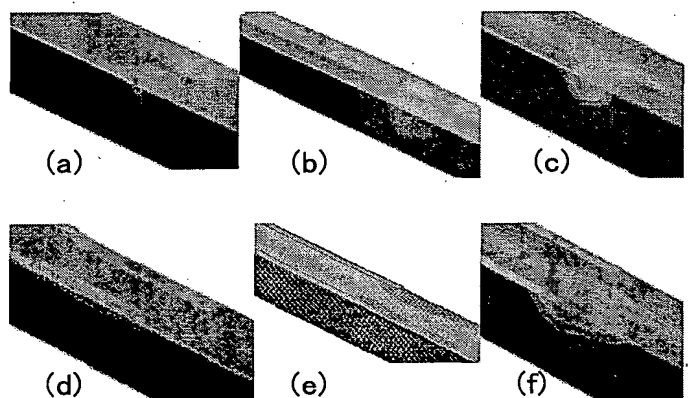


図11 ダイオード終端部の電流密度と格子温度分布

コンタクトを後退させることでホットスポットは拡散層エッジからコンタクトエッジの中央に移動、さらにスポットサイズが大きくなり、また電流分布の偏りも低減されている様子が確認できる。これは、コンタクト位置を後退させることで電流経路に base/emt 層のシート抵抗分が付加され(レイアウト上では約 400Ω)、拡散層エッジの電流が制限されるためと考えられる。

5. 実験結果と考察

図12 に以上の議論を踏まえ設計試作した、base/emt. 入出力保護ダイオード TEG の ESD 試験の結果を示す。

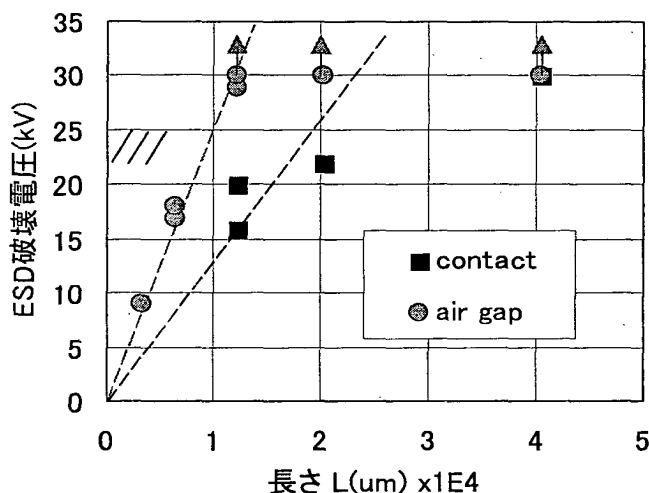


図12 TEG の ESD 試験結果(測定限界は 30kV)

試験結果によれば、空中放電(air gap)で、ダイオードの長さがおよそ 1E4um 以上であれば ESD25kV に耐えられることが判る。接触放電(contact)であれば、ESD 耐量はほぼ半減するが、これは空中放電では、エアギャップの抵抗がおよそ 150Ω ほど加わるため、同一印加電圧でも放電電流が接触時に比べ半減するためと考えられる。つまり、ECU モデルでのサージ破壊は、放電電圧ではなく放電電流によって決まるということである。

2D シミュレーションの結果では、1.5E4um 以上で ESD25 kV が確保できると予測したが、実測の 1E4um とは若干ズレがある。この相違は、Si 表面から外部への熱伝導をシミュレーションでは無視しているため(熱電極は基板の裏面にのみ設定しているが、現実には Si 表面は LOCOS、あるいは BPSG など酸化膜に覆われているため熱伝導、熱吸収が少なからずある)、あるいは高温、特に融点付近での物理定数の精度[6]の問題と推定される。

図12の実験結果は、耐圧が 22V の場合であるが、耐量の耐圧依存性を評価する TEG(拡散層の間隔を広げて耐圧を 29V に上げた場合)では、破壊電圧が 30kV から 15~17kV@空中放電に低下した。これは、耐圧増と動作抵抗

増の両方が原因と考えられる。

以上の議論は、正サージの場合であるが、因みに負サージの場合はダイオードの順方向となるため動作抵抗が下がり、耐圧 22V、 $L=1.2E4um$ の TEG において接触放電の場合、ESD 耐量は 15~19kV@正サージが 24、25kV@負サージに増加した。

6. まとめ

車載用 IC の入出力保護ダイオードの ESD 耐量についてシミュレーションという観点から論じた。まずダイオードの 3D モデルを使って、実際の破壊と同様のダイオードのエッジに発生したホットスポットでの電流集中現象を再現した。すなわち、ダイオードの ESD サージ破壊は、格子温度が Si 融点に付近に到達すると真性キャリア数が急激に増加、低抵抗となった個所への電流集中、溶融破壊に至るというモデルがシミュレーションで検証できた。

次に入出力保護ダイオードの基本検討を行った。Deep n+/base、base/emt.、ch.pwell/n+の三つのダイオード、それぞれのサイズと格子温度との関係をシミュレーションした結果から、温度上昇を抑えるには、サージ電流密度が下がる深い拡散層を利用するのが良く、特に Deep n+/base 層の組み合わせは、発熱領域の深さ(半値幅)が約 1.9um と ch.pwell/n+層の半値幅 0.6um の約 3 倍となることが判明した。そして、電流密度低減に対して面積効率の良い base/emt.ダイオードの場合、Si 融点以下に温度上昇を抑えるには、ダイオードの長さを 1.5E4um 以上にすれば良いことが判明した。さらにダイオードの終端構造については、コンタクトを拡散層エッジから後退させることでホットスポットサイズが小さく、かつ電流集中度合いが低減されることがシミュレーションで確認できた。

以上の結果を踏まえ試作したダイオード TEG において、ほぼシミュレーションどおり、長さ 1E4um 以上で ESD25kV の耐量が得られることが実験で確認できた。

文 献

- [1] Robert N. Rountree "ESD PROTECTION FOR SUBMICRON CMOS CIRCUITS ISSUES AND SOLUTIONS," IEDM, pp.580-583,1988.
- [2] Kazunori KAWAMOTO, Kenji KOHNO et al, "A 25kV ESD Proof LDMOSFET with a Turn on Discharge MOSFET," IEICE TRANS.ELECTRON. VOL.E84-C, pp.823-831,2001
- [3] 飯田真喜男、水野祥司、河野憲司、その他 "貼り合わせ SOI ウエハを用いたインテリジェントパワー IC",DENSO Technical Review, Vol.3 No.1, pp73-80, May 1998
- [4] 若井伸之、堤 雅義、瀬戸屋孝、"PN 接合の ESD 破壊メカニズムの検討", 信学技報、R95-23、pp.25-30,1995
- [5] S.M.ジュー 半導体デバイス 基礎理論とプロセス技術-, 産業図書 平成 7 年
- [6] ISE TCAD manual Rel.7.0 Vol4a, part12, :DESSIS